

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of
Inventor(s): TSUJI, et al.

Appln. No.:	Not	Assigned
Series Code	↑	↑ Serial No.

Group Art Unit: Unknown

Filed: July 21, 2003

Examiner: Unknown

Title: OPERATIONAL AMPLIFIER

Atty. Dkt.	P 0305108	H7940US
	M#	Client Ref

Date: July 21, 2003

**SUBMISSION OF PRIORITY
DOCUMENT IN ACCORDANCE
WITH THE REQUIREMENTS OF RULE 55**

Hon. Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2002-215697	Japan	July 24, 2002

Respectfully submitted,

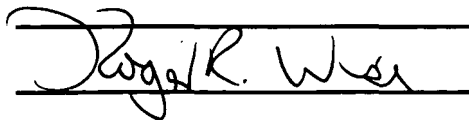
Pillsbury Winthrop LLP
Intellectual Property Group

725 South Figueroa Street, Suite
2800
Los Angeles, CA 90017-5406
Tel: (213) 488-7100

By Atty: **Roger R. Wise**

Reg. No. **31204**

Sig:



Fax: **(213) 629-1033**
Tel: **(213) 488-7584**

Atty/Sec: RRW/JES

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月24日

出 願 番 号

Application Number:

特願2002-215697

[ST.10/C]:

[JP 2002-215697]

出 願 人

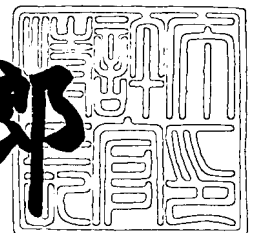
Applicant(s):

ヤマハ株式会社

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037976

【書類名】 特許願

【整理番号】 J95426A1

【提出日】 平成14年 7月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/00

【発明の名称】 演算増幅器

【請求項の数】 4

【発明者】

【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号 ヤマハ株式会社内

【氏名】 辻 信昭

【発明者】

【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号 ヤマハ株式会社内

【氏名】 野呂 正夫

【発明者】

【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号 ヤマハ株式会社内

【氏名】 密岡 久仁彦

【特許出願人】

【識別番号】 000004075

【氏名又は名称】 ヤマハ株式会社

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001626

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算増幅器

【特許請求の範囲】

【請求項 1】 非反転入力端子と反転入力端子とを介して入力する一対の入力信号の差分に応じた増幅を行う差動増幅段を有する演算増幅器において、

前記差動増幅段として、

電流制限用の第 1 の定電流源と、

前記第 1 の定電流源を介して第 1 の電源にソースが共通に接続され、前記一対の入力信号がゲートにそれぞれ与えられた一対の第 1 の MOS トランジスタと、

前記一対の第 1 の MOS トランジスタのドレインと第 2 の電源との間の電流経路上に介挿され、前記第 1 の MOS トランジスタと同一導電型であって高耐圧型の一対の第 2 の MOS トランジスタと、

前記一対の第 2 の MOS トランジスタのドレインと前記第 2 の電源との間の電流経路上に介挿された負荷回路と、

前記一対の第 2 の MOS トランジスタのゲートを所定電圧にバイアスするバイアス回路と、

を備えたことを特徴とする演算増幅器。

【請求項 2】 前記バイアス回路が、

前記第 1 の定電流源を介して前記第 1 の電源にソースが接続され、ゲートがドレインに接続された第 3 の MOS トランジスタと、

前記第 3 の MOS トランジスタのドレインにソースが接続され、ゲートがドレインと共に前記一対の第 2 のトランジスタのゲートに共通接続された高耐圧型の第 4 の MOS トランジスタと、

前記第 4 の MOS トランジスタのドレインと前記第 2 の電源との間に接続された第 2 の定電流源と、

を備えたことを特徴とする請求項 1 に記載された演算増幅器。

【請求項 3】 前記第 1 および第 2 の定電流源の電流値が、前記第 2 ないし第 4 の各 MOS トランジスタのソース電圧に対するゲート電圧を概ねゲートしきい値電圧とするように設定されたことを特徴とする請求項 2 に記載された演算増

幅器。

【請求項 4】 前記第 1 の電源が正電位電源であり、前記第 2 の電源が負電位電源であり、前記第 1 ないし第 4 の MOS トランジスタが p チャンネル型の MOS トランジスタであることを特徴とする請求項 2 または 3 に記載された演算増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、高電源電圧仕様の演算増幅器に関し、特に演算増幅器としての基本特性を改善するための技術に関する。

【0002】

【従来の技術】

図 4 に、従来技術に係る高電源電圧仕様の演算増幅器の構成を示す。同図（a）に示す演算増幅器は、定電流源 I_S と、入力用の PMOS トランジスタ P_1 、 P_2 と、負荷用の NMOS トランジスタ N_1 、 N_2 とから構成され、正電位電源として +9 V が供給され、負電位電源として -9 V が供給される。入力用の PMOS トランジスタ P_1 のゲートには、非反転入力端子を介して入力信号 I_P が与えられ、他方の PMOS トランジスタ P_2 のゲートには反転入力端子を介して入力信号 I_N が与えられる。図 4（b）に示す例は、上述の負荷用の NMOS トランジスタ N_1 、 N_2 に代えて抵抗素子 r_1 、 r_2 を用いたものである。

【0003】

ここで、同図（a）、（b）に示す例において、入力信号 I_P 、 I_N が同相信号ではないものとする、PMOS トランジスタ P_1 、 P_2 のソース・ドレイン間およびゲート・ドレイン間の電圧が 7 V を越す場合が起こり得る。従って、PMOS トランジスタ P_1 、 P_2 として通常の耐圧仕様のもの（通常耐圧型）を用いると、デバイスが破壊される虞がある。このため、何れの例にしても、高電源電圧仕様とする場合、高耐圧型の MOS トランジスタが用いられている。

【0004】

【発明が解決しようとする課題】

ところで、一般に高耐圧型のMOSトランジスタは、相互コンダクタンス g_m が低く、しかもゲートしきい値電圧 V_t が高くなる傾向を有しており、特性上のバラツキも大きい。このため、上述の従来技術に係る演算増幅器のように、入力用のPMOSトランジスタP1, P2として高耐圧型を用いると、演算増幅器の基本特性である高利得を得ることが困難となる上、オフセットが発生しやすくなり、従ってS/N比が低下するという問題がある。

この発明は、上記事情に鑑みてなされたもので、高電源電圧に対応しながらS/N比の低下を防止することが可能な演算増幅器を提供することを目的とする。

【0005】

【課題を解決するための手段】

上記課題を解決するため、この発明は以下の構成を有する。

即ち、請求項1に記載された発明は、非反転入力端子と反転入力端子とを介して入力する一対の入力信号の差分に応じた増幅を行う差動増幅段を有する演算増幅器において、前記差動増幅段として、電流制限用の第1の定電流源と、前記第1の定電流源を介して第1の電源にソースが共通に接続され、前記一対の入力信号がゲートにそれぞれ与えられた一対の第1のMOSトランジスタと、前記一対の第1のMOSトランジスタのドレインと第2の電源との間の電流経路上に介挿され、前記第1のMOSトランジスタと同一導電型であって高耐圧型の一対の第2のMOSトランジスタと、前記一対の第2のMOSトランジスタのドレインと前記第2の電源との間の電流経路上に介挿された負荷回路と、前記一対の第2のMOSトランジスタのゲートを所定電圧にバイアスするバイアス回路と、を備えたことを特徴とする。

【0006】

この構成によれば、入力信号に応じて第1のMOSトランジスタがオフ状態になると、この第1のMOSトランジスタのドレイン電圧が第2の電源の電位に向けて変化する。そして、このドレイン電圧が、第2のMOSトランジスタのゲート電圧（所定電圧）よりもゲートしきい値電圧分だけ高い電圧にまで低下すると、この第2のMOSトランジスタがオフ状態となる。従って、この後、第1のMOSトランジスタのドレイン電圧の変化が停止し、この第1のMOSトランジスタ

タのソース・ドレイン間の電位差が一定に保たれる。従って、第2のMOSトランジスタのゲートに印加される所定電圧を適切に選べば、この演算増幅器の電源電圧を高くしても、第1のMOSトランジスタのソース・ドレイン間に耐圧を越える電圧が印加されることがなくなる。よって、第1のMOSトランジスタとして通常耐圧型のMOSトランジスタを使用することが可能となり、S/N比の低下を防止することができる。

【0007】

請求項2に記載された発明は、請求項1に記載された演算増幅器において、前記バイアス回路が、前記第1の定電流源を介して前記第1の電源にソースが接続され、ゲートがドレインに接続された第3のMOSトランジスタと、前記第3のMOSトランジスタのドレインにソースが接続され、ゲートがドレインと共に前記一対の第2のトランジスタのゲートに共通接続された高耐圧型の第4のMOSトランジスタと、前記第4のMOSトランジスタのドレインと前記第2の電源との間に接続された第2の定電流源と、を備えたことを特徴とする。

この構成によれば、第2の定電流源の電流値と、第3および第4のMOSトランジスタの導通状態とに応じて、第3のMOSトランジスタのドレインに所定電圧が現れる。換言すれば、第2の定電流源の電流値と、第3および第4のMOSトランジスタの電気的特性を選択することにより、所定電圧を調節することが可能になる。

【0008】

請求項3に記載された発明は、請求項2に記載された演算増幅器において、前記第1および第2の定電流源の電流値が、前記第2ないし第4の各MOSトランジスタのソース電圧に対するゲート電圧を概ねゲートしきい値電圧とするように設定されたことを特徴とする。

この構成によれば、第3のMOSトランジスタのゲート電圧がソース電圧よりもそのゲートしきい値電圧分だけ低くなり、第4のMOSトランジスタのゲート電圧（即ち所定電圧）が、第3のMOSトランジスタのドレイン電圧よりもそのゲートしきい値電圧分だけ低くなる。この結果、第2のMOSトランジスタのソース電圧（即ち第1のMOSトランジスタのドレイン電圧）が、所定電圧よりも

ゲートしきい値電圧分だけ高くなる。即ち、第 1 の MOS トランジスタのドレイン電圧は、所定電圧にゲートしきい値電圧を加算した電圧よりも低くなることはない。従って、第 1 の MOS トランジスタのソース・ドレイン間の電圧が、第 3 の MOS トランジスタと同様に概ねそのゲートしきい値電圧以内に抑えられ、耐圧を超えることがない。従って、高電源電圧に対応しながら高 S/N 比を確保することが可能になる。

【 0 0 0 9 】

請求項 4 に記載された発明は、請求項 2 または 3 に記載された演算増幅器において、前記第 1 の電源が正電位電源であり、前記第 2 の電源が負電位電源であり、前記第 1 ないし第 4 の MOS トランジスタが p チャネル型の MOS トランジスタであることを特徴とする。

この構成によれば、一对の入力信号が第 1 の電源よりも概ねゲートしきい値電圧分だけ低い場合に、差動増幅段を利得の高い領域で動作させることが可能になる。

【 0 0 1 0 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

この実施の形態に係る演算増幅器は、非反転入力端子と反転入力端子とを介して入力する一对の入力信号（正相入力信号および逆相入力信号）の差分に応じた増幅を行う差動増幅段を有するものであり、図 1 に、その差動増幅段の構成を示す。同図において、定電流源 I S 1（第 1 の定電流源）は、第 1 の電源から流れ込む電流 I 1 を一定に制限する電流リミッタとして機能するものである。入力用の一对の p チャネル型の MOS トランジスタ（以下、PMOS トランジスタと称す）MP 1、MP 2（第 1 の MOS トランジスタ）の各ソースは、定電流源 I S 1 を介して正電位電源 V P（第 1 の電源）に共通接続される。PMOS トランジスタ MP 1 のゲートには、図示しない非反転入力端子を介して正相入力信号 I P が与えられ、PMOS トランジスタ MP 2 のゲートには、図示しない反転入力端子を介して逆相入力信号 I N が与えられる。これら PMOS トランジスタ MP 1、MP 2 は、通常耐圧型のものであって、これらの基板（ウェル）は共にソース

に接続される。

【 0 0 1 1 】

一対のPMOSトランジスタMP 1, MP 2のドレインと負電位電源VN（第2の電源）との間の電流経路上には、上述のPMOSトランジスタMP 1, MP 2と同一導電型（即ちpチャネル型）のMOSトランジスタであって、高耐圧型の一対のPMOSトランジスタMP 4, MP 5（第2のMOSトランジスタ）が介挿され、これらPMOSトランジスタMP 4, MP 5のドレインと負電位電源VNとの間の電流経路上には、負荷回路として抵抗素子R 1, R 2がそれぞれ介挿される。即ち、PMOSトランジスタMP 1, MP 2のドレインには、高耐圧型のPMOSトランジスタMP 4, MP 5のソースがそれぞれ接続され、これらPMOSトランジスタMP 4, MP 5のドレインは、抵抗素子R 1, R 2を介して負電位電源VNにそれぞれ接続される。また、これらPMOSトランジスタMP 4, MP 5のゲートには、次に説明するバイアス回路により所定電圧が印加される。

【 0 0 1 2 】

図1において、PMOSトランジスタMP 3（第3のMOSトランジスタ）とPMOSトランジスタMP 6（第4のMOSトランジスタ）と定電流源IS 2は、上述のPMOSトランジスタMP 4, MP 5のゲートを所定電圧にバイアスするためのバイアス回路を構成する。具体的には、PMOSトランジスタMP 3は通常耐圧型のものであって、そのソースが上述の定電流源IS 1を介して正電位電源VPに接続され、ゲートがドレインに接続される。このPMOSトランジスタMP 3のドレインには、高耐圧型のPMOSトランジスタMP 6のソースが接続され、ゲートはドレインと共に上述の一対のPMOSトランジスタMP 4, MP 5のゲートに共通接続される。また、このPMOSトランジスタMP 6のドレインと負電位電源VNとの間には、負電位電源VNに流れ出す電流I 4を一定に制限するための定電流源IS 2（第2の定電流源）が接続される。

【 0 0 1 3 】

この実施の形態では、上述の通常耐圧型のPMOSトランジスタMP 1, MP 2, MP 3のゲートしきい値電圧 V_t を0.8Vとし、高耐圧型のPMOSトラ

ンジスタMP 4, MP 5, MP 6のゲートしきい値電圧 V_{th} を1.5Vとする。また、上述の定電流源IS 1を流れる電流I 1の値は $110\mu A$ に設定され、定電流源IS 2を流れる電流I 4の値は 10μ に設定される。PMOSトランジスタMP 1, MP 2とPMOSトランジスタMP 4, MP 5の特性は、 $50\mu A$ の電流が流れた状態で、ソース電圧に対するゲート電圧が概ねゲートしきい値電圧となるように設定されており、PMOSトランジスタMP 3とPMOSトランジスタMP 6の特性は、 $10\mu A$ のドレイン電流が流れたときに、ソース電圧に対するゲート電圧が概ねゲートしきい値電圧となるように設定されている。即ち、各MOSトランジスタのソース電圧に対するゲート電圧が、概ねゲートしきい値電圧となるように、定電流源IS 1, IS 2の各電流値が設定されている。

【0014】

次に、この実施の形態の動作を説明する。なお、入力信号IP, INは同相信号（極めて微小な差分を有する信号）であるものとし、正電位電源VPよりもPMOSトランジスタMP 1, MP 2のゲートしきい値電圧 V_t だけ低い電圧に設定されているものとする。

まず、PMOSトランジスタMP 3, MP 6のドレイン電流は、定電流源IS 2により $10\mu A$ とされるので、PMOSトランジスタMP 3のゲート電圧（ノードN 21の電圧）は、そのソース電圧（ノードN 3の電圧）よりもゲートしきい値電圧 V_t （0.8V）分だけ低くなる。また、MOSトランジスタMP 6のゲート電圧（ノードN 20の電圧）は、PMOSトランジスタMP 3のドレイン電圧（ノードN 21の電圧）よりも更にゲートしきい値電圧 V_{th} （1.5V）分だけ低くなる。従って、PMOSトランジスタMP 4, MP 5のゲートは、所定電圧として、正電位電源VPより「 $V_t + V_{th}$ 」分だけ低い値となる。

【0015】

一方、入力信号IP, INをゲートに入力するPMOSトランジスタMP 1, MP 2が弱電流領域で動作し、PMOSトランジスタMP 4, MP 5に対して負荷として作用する。この結果、PMOSトランジスタMP 1, MP 2のドレイン電圧（ノードN 4, N 5の電圧）が、例えば初期状態において高い電圧にあり、その電圧から降下して所定電圧よりもゲートしきい値電圧 V_{th} 分だけ高い電位

に達すると、PMOSトランジスタMP4, MP5がオフ状態となる。従ってその後、PMOSトランジスタMP1, MP2のドレイン電圧（ノードN4, N5の電圧）は、所定電圧よりもPMOSトランジスタMP4, MP5のゲートしきい値電圧 V_{th} 分だけ高い電位に安定する。このとき、PMOSトランジスタMP4, MP5の何れかのドレイン電圧（ノードN7, N8の電圧）が、入力信号IP, INの差分に応じて抵抗素子R1, R2により負電位電源VNにまで低下し、出力信号OUT, OUTとされる

【0016】

ここで、図2に、各MOSトランジスタのバイアス状態を示す。上述の動作において、通常耐圧型のPMOSトランジスタMP3のソース・ゲート間およびソース・ドレイン間の電圧がゲートしきい値電圧 V_t （0.8V）に維持される。また、PMOSトランジスタMP6のソース・ゲート間の電圧はゲートしきい値電圧 V_{th} （1.5V）となり、PMOSトランジスタMP4, MP5のソース・ゲート間の電圧はゲートしきい値電圧 V_{th} （1.5V）となる。さらに、PMOSトランジスタMP1, MP2のソース・ゲート間の電圧はゲートしきい値電圧 V_t となり、そのゲート・ドレイン間の電圧は約0Vとなる。

【0017】

ここで、PMOSトランジスタMP1, MP2のドレイン電圧は、実際には差動信号として入力される入力信号IP, INによって変化するが、その下限値は、PMOSトランジスタMP4, MP5のゲート電圧（所定電圧）にゲートしきい値電圧 V_t を加算した値に制限される。従って、電源電圧を高くしても、通常耐圧型であるMOSトランジスタMP1, MP2, MP3のソース・ゲート・ドレインの各電極間の電圧を耐圧以下に抑えながら、入力信号IP, INに応じて入力用のMOSトランジスタMP1, MP2を動作させることが可能になる。

【0018】

また、入力信号IPと入力信号INとの差分に応じてPMOSトランジスタMP1, MP2の動作状態に差異が生じるため、抵抗素子R1, R2を流れる電流I2, I3にアンバランスが生じ、出力信号OUT, OUTとして増幅された相補信号が出力される。このときの差分増幅に関する性能は、特性上のバラツキ

が小さい通常のPMOSトランジスタMP1, MP2の動作に支配される。このため、高耐圧型のMOSトランジスタを使用した場合に比較して、オフセットが少なく、高利得を得ることができ、高S/N比を確保することが可能になる。

【0019】

図3に、図1に示す差動増幅段を有する演算増幅器100の応用例を示す。

同図(a)に示す例は、反転増幅器に適用したもので、演算増幅器100の比反転入力端子は接地され、反転入力端子には抵抗素子R11を介して入力信号INが印加される。また演算増幅器100の出力部と反転入力端子との間には負帰還用の抵抗R12が接続される。同図(b)に示す例は、同相増幅器に適用したもので、演算増幅器100の非反転入力端子には入力信号INが与えられ、その反転入力端子は抵抗素子R21を介して接地される。また、演算増幅器100の出力部と反転入力端子との間には負帰還用の抵抗素子R22が接続される。これらの応用例は、いずれもバーチャルショートに関する条件を満足するものであり、反転入力端子と非反転入力端子とに入力される各信号は同相信号である。このように、入力信号として同相信号を入力するものとすれば、前述のように耐圧を超えない範囲で各MOSトランジスタを動作させることができる。

【0020】

以上、この発明の実施の態を説明したが、この発明は、上述の実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。

例えば上述の実施の形態では、負荷回路として抵抗素子を用いたが、カレントミラー回路を用いてもよい。

また、pチャネル型のMOSトランジスタを用いて構成したが、nチャネル型のMOSトランジスタを用いて構成することも可能である。

【0021】

【発明の効果】

この発明の演算増幅器によれば、差動増幅段を構成する入力用のMOSトランジスタのドレイン側の電流経路上に、ゲートが所定電圧にバイアスされた高耐圧型のMOSトランジスタを介挿したので、入力用のMOSトランジスタに印加さ

れる電圧を耐圧以内に制限することが可能になる。従って高電源電圧に対応しながら高S/N比を得ることが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態に係る演算増幅器が有する差動増幅段の構成を示す回路図である。

【図2】 この発明の実施の形態に係る差動増幅段を構成するMOSトランジスタのバイアス状態を説明するための図である。

【図3】 この発明の実施の形態に係る演算増幅器の応用例を示す回路図である。

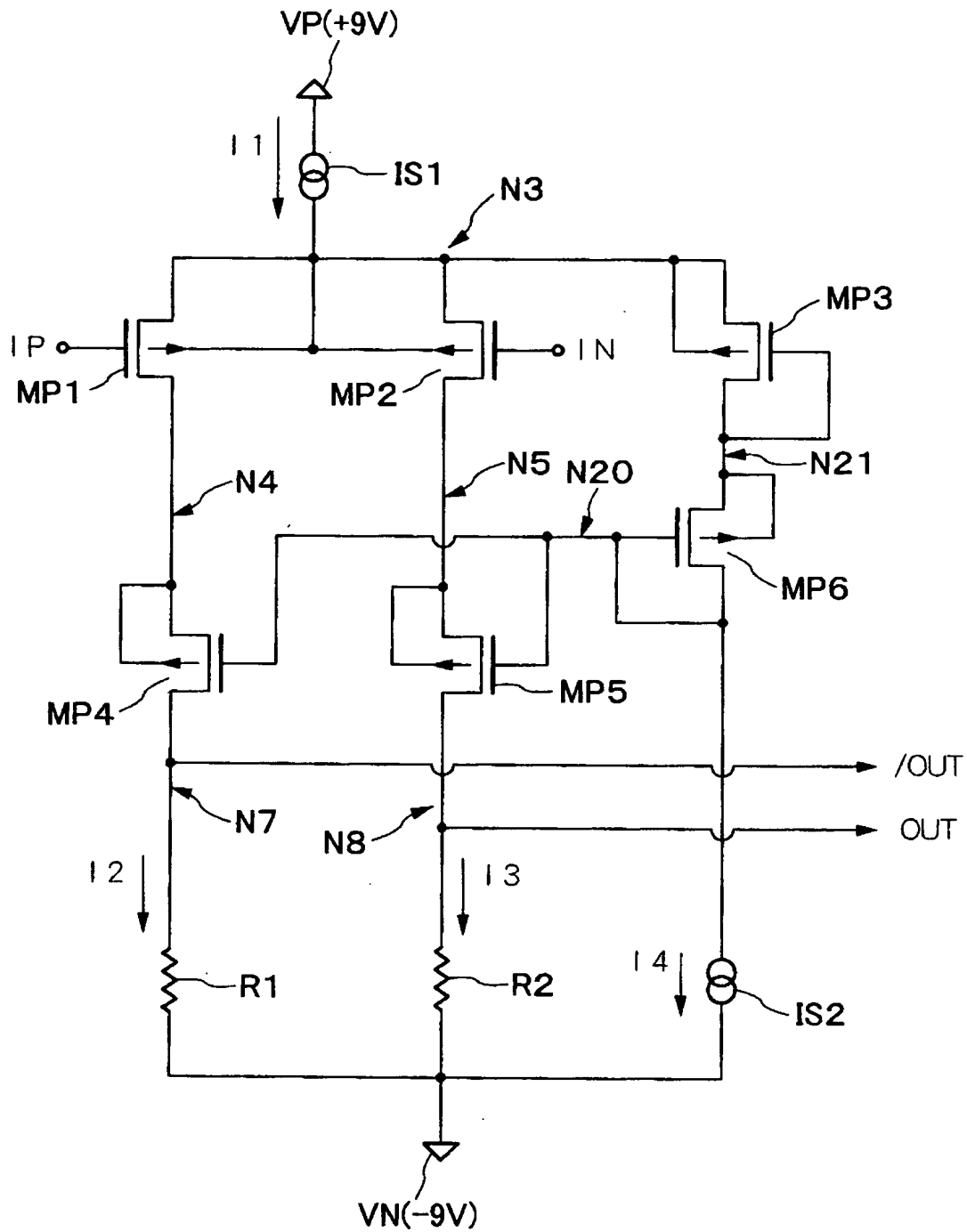
【図4】 従来技術に係る演算増幅器の差動増幅段の構成例を示す回路図である。

【符号の説明】

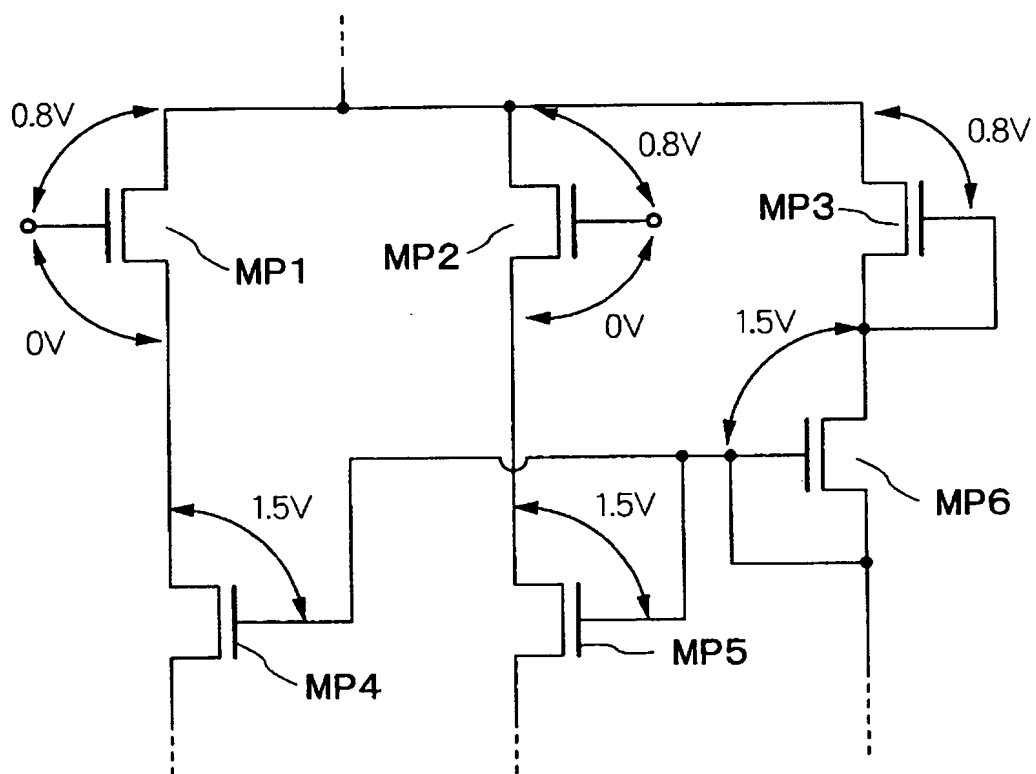
IS1, IS2 ; 定電流源、MP1, MP2, MP3 ; PMOSトランジスタ（通常耐圧型）、MP4, MP5, MP6 ; PMOSトランジスタ（高耐圧型）、R1, R2 ; 抵抗素子、VP ; 正電位電源、VN ; 負電位電源。

【書類名】 図面

【図 1】

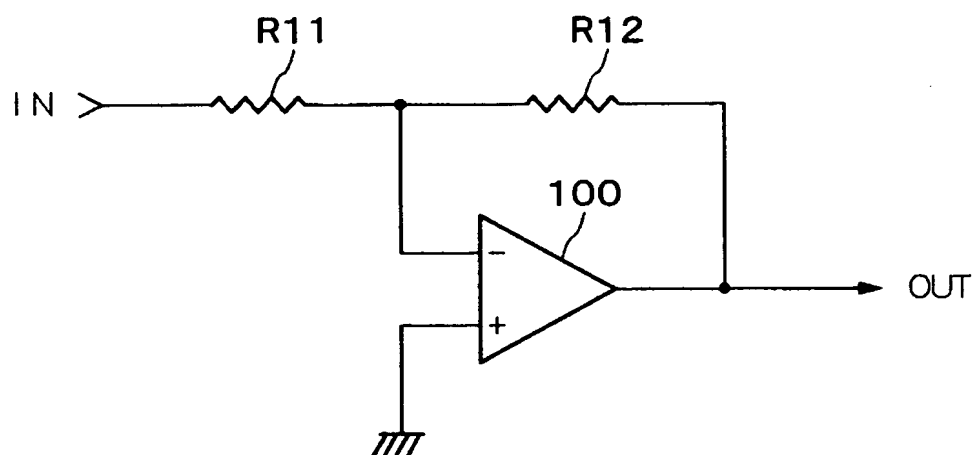


【図 2】

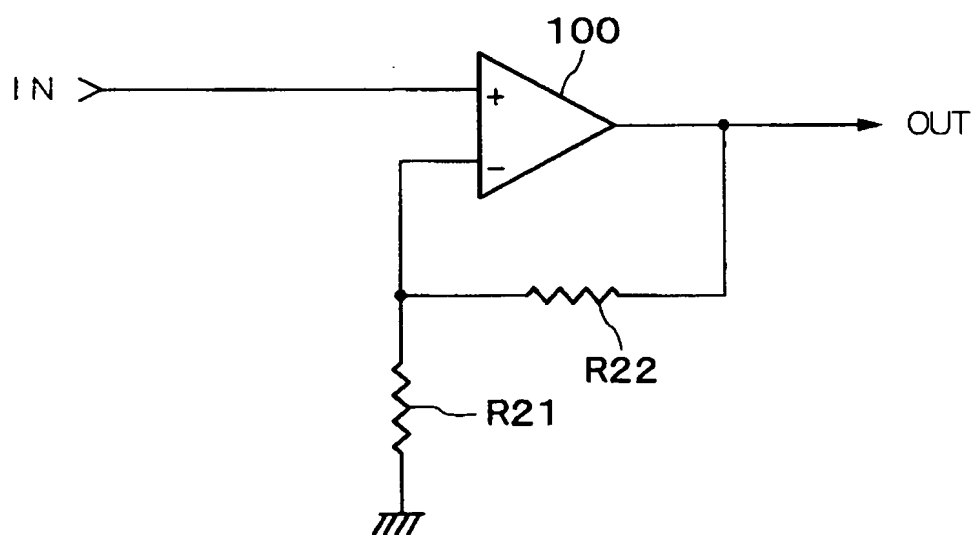


【図 3】

(a)

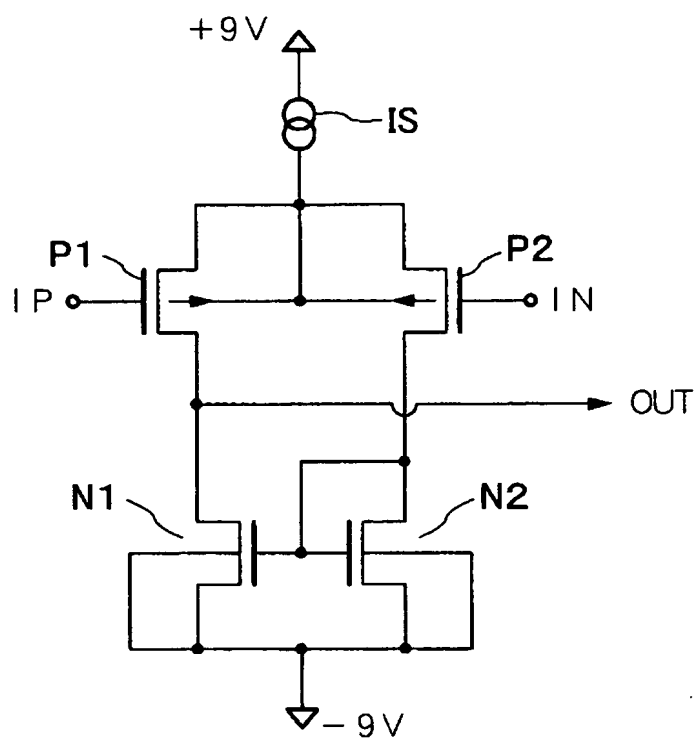


(b)

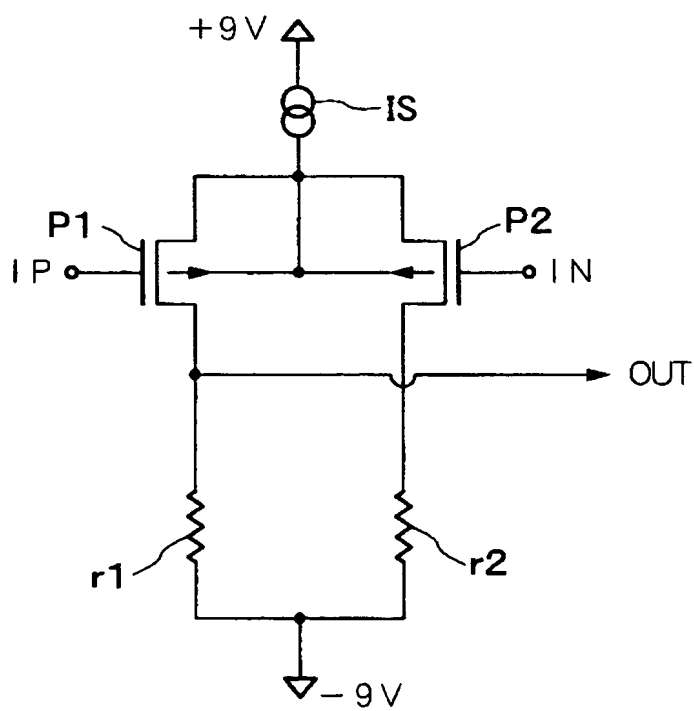


【図 4】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 高電源電圧に対応しながら S/N 比の低下を防止することが可能な演算増幅器を提供すること。

【解決手段】 差動増幅段の入力用の PMOS トランジスタ MP 1, MP 2 と負電位電源 V_N との間の電流経路上に、ゲートが所定電圧にバイアスされた高耐圧型の PMOS トランジスタ MP 4, MP 5 を介挿し、この高耐圧型の PMOS トランジスタのドレインと負電位電源 V_N との間の電流経路上に負荷回路として抵抗素子 R 1, R 2 を介挿する。これにより、入力用の PMOS トランジスタ MP 1, MP 2 のドレイン電圧の下限が、所定電圧にゲートしきい値電圧を加えた値に制限されるので、入力用の PMOS トランジスタ MP 1, MP 2 として通常耐圧型を用いても、この通常耐圧型の MOS トランジスタ MP 1, MP 2 の各電極間に印加される電圧が耐圧を越えることがなくなる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004075]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 静岡県浜松市中沢町10番1号

氏 名 ヤマハ株式会社